

DISEÑO DE TRANSMISOR Y RECEPTOR PARA REDES INALÁMBRICAS W-MAN

REALIZADO POR:

F^{co} Javier López Martínez

DIRIGIDO POR:

Dr. José Tomás Entrambasaguas Muñoz

CALIFICACIÓN:

MATRICULA DE HONOR

DEPARTAMENTO DE: Ingeniería de Comunicaciones
TITULACIÓN: Ingeniería de Telecomunicación
PALABRAS CLAVE: Redes inalámbricas, Wi-MAX, HIPERMAN, modelado, capa física, FPGA, System Generator, OFDM, Reed Solomon, VHDL, Simulink.

RESUMEN: En este proyecto se realiza un *modelo de la capa física del estándar IEEE 802.16a*, utilizando la herramienta *System Generator for DSP* bajo entorno Simulink. El objetivo es diseñar un transmisor y un receptor que cumplan la norma, de manera que el diseño obtenido sea implementable en FPGA. Además, se realiza el diseño HDL de algunos elementos, destacando el codificador y el decodificador Reed Solomon RS(255,239).

Málaga, 7 de Julio de 2005

1. RESUMEN	1
1.1 ORIGEN	1
1.1.1. <i>Evolución</i>	1
1.1.2. <i>El mercado</i>	1
1.1.3. <i>El futuro</i>	1
1.2 OBJETIVOS	2
1.3 DESARROLLO	2
1.3.1. <i>Capa PHY del estándar IEEE 802.16^a</i>	2
1.3.2. <i>Estructura del transmisor</i>	3
1.3.3. <i>Estructura del receptor</i>	4
1.3.4. <i>Diseño</i>	5
1.4 CONCLUSIONES	6
2. ORIGINALIDAD	7
2.1 INTRODUCCIÓN	7
2.2 WI-MAX	7
2.2.1 <i>Estado actual de la tecnología</i>	7
2.2.2 <i>¿Por qué Wi-MAX sí?</i>	7
2.3 OFDM	8
2.4 DISEÑO ORIENTADO A HARDWARE	8
2.4.1 <i>Necesidad del modelado de sistemas</i>	8
2.4.2 <i>Diseño en FPGA para Wi-MAX</i>	9
2.4.3 <i>Las FPGAs en el marco actual de las comunicaciones móviles e inalámbricas</i>	9
3. RESULTADOS.	10
3.1 PLAN DE VERIFICACIÓN	10
3.1.1 <i>Verificación del sistema</i>	10
3.1.2 <i>Verificación de los elementos RS</i>	10
3.2 PRESTACIONES DEL DISEÑO	11
3.2.1 <i>Evaluación en cuanto a área</i>	11
3.2.2 <i>Evaluación en cuanto a retardo</i>	12
3.2.3 <i>Optimización de área y retardo</i>	12
3.3 TRAMA DE NIVEL FÍSICO	12
4. APLICABILIDAD	13
4.1 A NIVEL DE DISEÑO	13
4.1.1 <i>Escalabilidad</i>	13
4.1.2 <i>Reusabilidad</i>	13
4.1.3 <i>IP Cores</i>	13
4.2 APLICACIONES	13
4.3 COMPARACIÓN CON OTRAS ALTERNATIVAS EN EL MERCADO	14
4.3.1 <i>Xilinx</i>	14
4.3.2 <i>Picochip</i>	14
5. REFERENCIAS Y BIBLIOGRAFÍA	15

1. RESUMEN

1.1. ORIGEN.

1.1.1. Evolución.

Este PFC se basa en el estándar *IEEE 802.16*, conocido como *Wi-MAX*. Inicialmente, el estándar *802.16* definía una tecnología de acceso inalámbrico de banda ancha con necesidades de visión directa (*LOS - Line of Sight*) entre transmisor y receptor, en la banda de 10-66 GHz. Esta opción no introducía novedades significativas respecto a anteriores tecnologías, por lo que fue acogida con cierto escepticismo.

En Enero de 2003, el IEEE aprobó el estándar *802.16a*, que cubría las bandas de 2-11 GHz. La principal novedad es que permitía trabajar en condiciones en que no existiese visión directa (*NLOS - Non Line of Sight*) entre transmisor y receptor. Este factor hizo que se viese como la tecnología apropiada para implementar las redes de acceso inalámbricas de banda ancha en entornos típicamente urbanos, en los que obstáculos como árboles y edificios son habituales, y en los que las antenas suelen ubicarse en tejados y azoteas en lugar de en colinas y torres.

Por tanto, *Wi-MAX* proporciona lo mejor de ambos mecanismos de cobertura, permitiendo alcanzar distancias superiores a los 50 Km en condiciones de LOS, y estableciendo celdas de varios Km de radio en condiciones de NLOS. Finalmente, a finales del 2004 se publicó una última revisión del estándar denominada *IEEE 802.16-2004*, con el objeto de reunir todas estas alternativas en una única norma, que se espera sea definitiva.

En esta última versión se recogen cuatro alternativas diferentes para el nivel físico. De todas ellas, la que más éxito ha tenido, y para la cual se están desarrollando la mayoría de equipos por parte de los fabricantes, es la denominada *WirelessMAN-OFDM*, que equivale prácticamente a la norma *802.16a* y que además coincide con el estándar definido por el ETSI (*European Telecommunication Standardization Institute*), denominado *HIPERMAN* (*High Performance Metropolitan Area Network*). Es en esta alternativa en la que se basa este PFC.

1.1.2. El mercado.

La aplicación más clara de *Wi-MAX* es la de *red de acceso inalámbrica de banda ancha*. Por una parte, compite directamente con tecnologías como *DSL* y la fibra óptica en aquellos lugares donde éstas ya se encuentran establecidas, ya que ofrecerá prestaciones similares a un precio muy competitivo. Esta solución es bastante atractiva tanto para empresas como para hogares. Por otro lado, se presenta como un complemento a dichas tecnologías, para proveer acceso de banda ancha en zonas de difícil acceso, o bien en regiones en vías de desarrollo o carentes de la infraestructura cableada necesaria.

Esta dualidad competidor-colaborador también aparece con *Wi-Fi*: en un primer momento, se baraja la posibilidad de utilizar *Wi-MAX* como *backhaul para Wi-Fi*, conectando los *hot-spots* públicos a las redes cableadas. Sin embargo, se prevé que la futura evolución de *Wi-MAX* en busca de la movilidad, compita fuertemente con las actuales WLAN, e incluso con la tercera generación de telefonía móvil.

1.1.3. El futuro.

El futuro inmediato de *Wi-MAX* es el estándar *IEEE 802.16e*, más conocido como *Mobile Wi-MAX*. Ya elaborada una primera versión y pendiente de su aprobación como estándar, su principal objetivo es proporcionar movilidad a los usuarios.

Ideada para trabajar en la banda de <6 GHz, esta tecnología utiliza OFDM en condiciones NLOS, permitiendo alcances de hasta 5 km. El número de portadoras a utilizar será flexible¹ (*entre 128 y 1024*), proporcionando velocidades de hasta 15 Mbps, con anchos de banda de hasta 10 MHz.

Está siendo fuertemente impulsada por importantes empresas, y se espera que incluso llegue a engullir al estándar *802.20* (*Mobile-Fi*). Su principal rival, la tercera generación de telefonía móvil.

¹ Es lo que se conoce como SOFDMA (*Scalable Orthogonal Frequency Division Multiple Access*)

1.2. OBJETIVOS.

El objetivo principal de este PFC es realizar un modelo de la capa *PHY* del estándar *IEEE 802.16a*, empleando una herramienta para diseño en FPGA denominada *Xilinx System Generator for DSP*. Este objetivo principal se estructura en una serie de objetivos parciales, que se detallan a continuación:

- ✓ Estudio de la norma *IEEE 802.16a*.
- ✓ Diseño de un transmisor para la capa *PHY* del estándar.
- ✓ Diseño de un receptor para la capa *PHY* del estándar.
- ✓ Verificación de cada uno de los bloques diseñados, así como del conjunto transmisor-receptor.

El diseño se debe llevar a cabo empleando únicamente las funciones básicas de *System Generator*, en punto fijo; de este modo se busca que el sistema realizado sea sintetizable en FPGA. Además, se realiza el diseño en VHDL de aquellos bloques que no se encuentran disponibles en *System Generator*, como son aquellos que intervienen en el proceso de FEC (*Forward Error Correction*).

1.3. DESARROLLO.

1.3.1. Capa PHY del estándar *IEEE 802.16a*.

La capa física para WMAN-OFDM se basa en la modulación OFDM, y está diseñada para trabajar en la banda de 2 a 11 GHz, en ausencia de visión directa (NLOS).

La descripción del símbolo OFDM suele hacerse en el dominio de la frecuencia. Un símbolo OFDM (ver figura 1) se compone de cierto número de portadoras que viene determinado por el tamaño de la FFT empleado, en este caso 256. Existen distintos tipos de portadora:

- ✚ *Portadoras de datos*: Para transmisión de datos (192).
- ✚ *Pilotos*: Para estimación de distintos parámetros (8).
- ✚ *Portadoras nulas*: Para guarda entre canales o para la portadora en continua (56).

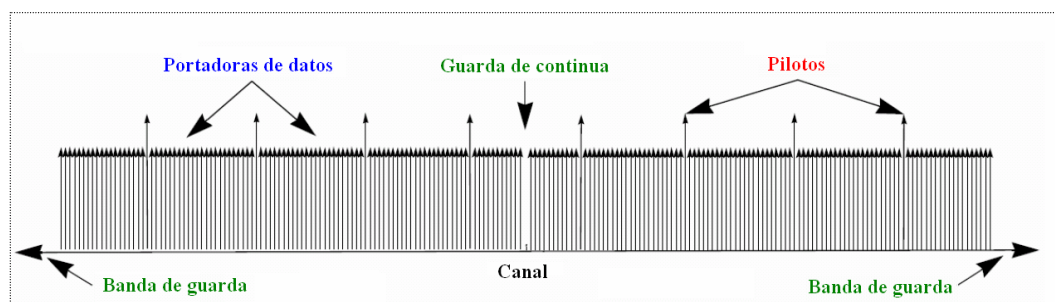


Figura 1. Símbolo OFDM en el dominio de la frecuencia.

Los datos procedentes de la capa MAC pasan en el transmisor por una serie de etapas descritas en el estándar (*codificación de canal y modulación*). En cuanto a las prestaciones del receptor, únicamente se indica que debe implementar la función inversa a la del transmisor.

La estructura de trama que se ha implementado es la denominada trama de nivel físico para el enlace descendente (*DL-PHY PDU*), que se muestra en la figura 2. Se compone de un preámbulo (*para facilitar el sincronismo*), una cabecera denominada **FCH** (*Frame Control Header*), y varias ráfagas de datos codificados, que provienen de la capa MAC y han pasado por cada una de las etapas de procesado que se especifican en la norma.

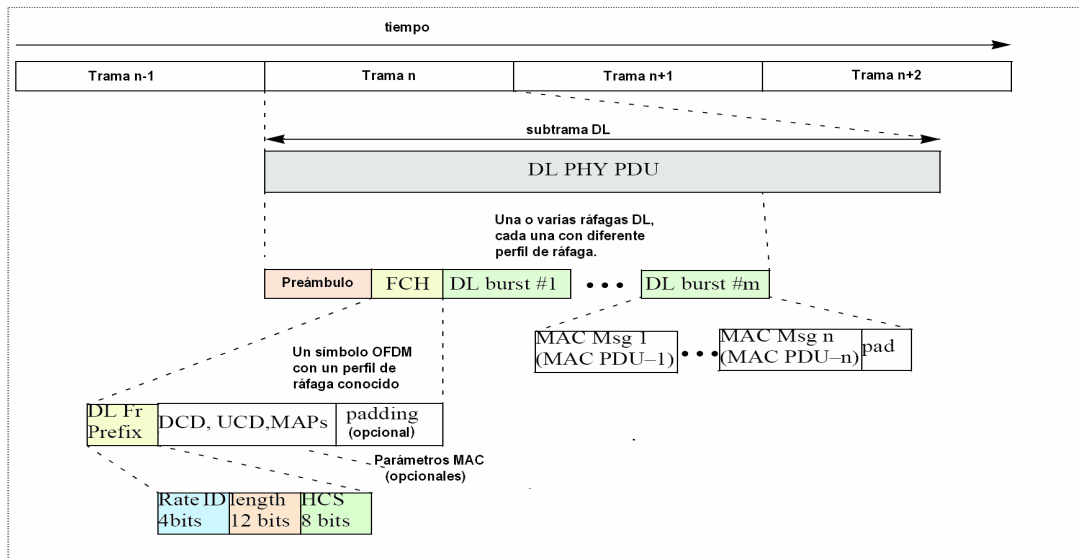


Figura 2. Trama de nivel físico para el Downlink.

1.3.2. Estructura del transmisor.

El sistema transmisor diseñado consta de los elementos que se indican en la norma, así como de otros no detallados de manera tan explícita, pero que son necesarios para satisfacer las especificaciones. El diagrama de bloques definitivo del transmisor implementado se puede observar en la figura 3:

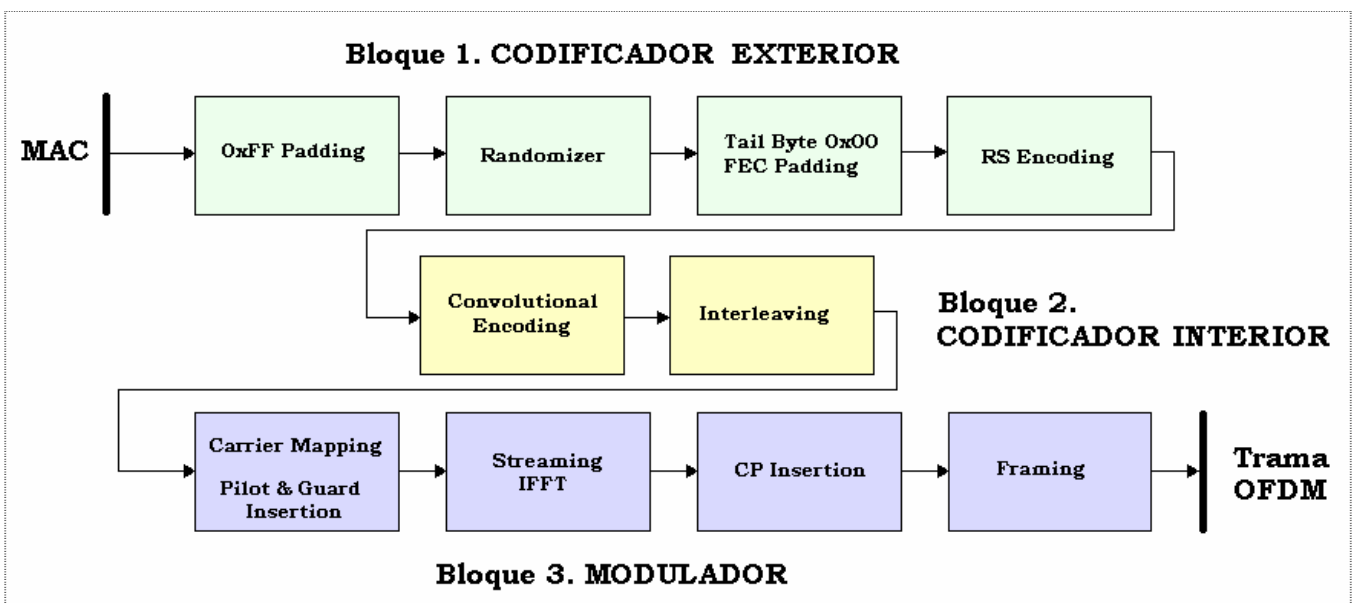


Figura 3. Diagrama de bloques del transmisor.

El primero de los bloques se denomina *codificador exterior*. En la nomenclatura clásica de comunicaciones digitales, el codificador exterior (*outer coder*) se refiere únicamente al codificador de bloque, en este caso un codificador Reed Solomon. Sin embargo, en este bloque se han decidido agrupar las siguientes funciones:

- ✚ **0xFF Padding:** Si la cantidad de datos MAC a transmitir no permite la creación de un número entero de símbolos OFDM, es necesario realizar un relleno de bytes con 0xFF, tantos como sea necesario para que un número entero de símbolos OFDM sean creados.
- ✚ **Randomizer:** El aleatorizador combina la secuencia de datos MAC con una secuencia pseudoaleatoria, de manera que se consigue que la distribución de ceros y unos sea equiprobable.

- ✦ **Tail Byte 0x00 FEC Padding:** Los datos MAC se suponen agrupados en bloques, cuyo tamaño debe coincidir con el tamaño de bloque del codificador RS, menos uno. Para que coincida con dicho tamaño de bloque, se coloca un byte de cola 0x00 a cada bloque, tal y como exige el estándar.
- ✦ **RS encoding:** Es el codificador en sí. El estándar establece que debe ser un codificador RS(255,239), que incorpore las opciones de *shortening* y *puncturing* para permitir la codificación de bloques de distintos tamaños, así como la opción de emplear distintas capacidades correctoras.

El segundo de los bloques se denomina **codificador interior**. Al igual que en el caso anterior, no sólo engloba al codificador interior propiamente dicho (*en este caso un codificador convolucional*), sino que está formado por:

- ✦ **Convolutional Encoding:** Junto al codificador RS, es el encargado de proporcionar la capacidad de detección y corrección de errores al sistema. En lugar de usar distintos codificadores convolucionales para las distintas capacidades correctoras, se emplea un codificador fijo, permitiendo un *puncturing* variable.
- ✦ **Interleaving:** El entrelazador se encarga de mezclar los bits a transmitir para hacerlos más robustos ante posibles errores de ráfaga debidos al *fading* (*desvanecimiento selectivo en frecuencia*), y mejorar la probabilidad de error en recepción.

El tercero de los bloques es el llamado **modulador**. En este bloque se ha tratado de agrupar la parte del diseño relativa a la generación de la señal OFDM. Consta de los siguientes sub-bloques:

- ✦ **Carrier Mapping, Pilot & Guard Insertion:** Los bits a la salida del entrelazador atacan el modulador N-QAM, y los símbolos generados deben mapearse en las portadoras de datos. Además, deben insertarse los pilotos y las guardas, con el fin de crear el símbolo OFDM en el dominio de la frecuencia.
- ✦ **Streaming IFFT:** Se aplica una IFFT de 256 puntos al símbolo OFDM en el dominio de la frecuencia para crear el símbolo OFDM en el dominio del tiempo.
- ✦ **CP Insertion:** Se añade el prefijo cíclico al principio del símbolo OFDM, con la duración especificada.
- ✦ **Framing:** Se inserta el símbolo OFDM, ya con el prefijo cíclico, en la estructura de trama definida en el estándar (*es decir, incluyendo el preámbulo y el FCH*).

1.3.3. Estructura del receptor.

En cuanto al receptor, en el estándar no se hace mención alguna a su estructura, sino que tan sólo se menciona que debe implementar la función inversa del transmisor. Su diseño está por tanto algo más abierto, pero se ha optado por la estructura de la *figura 4*:

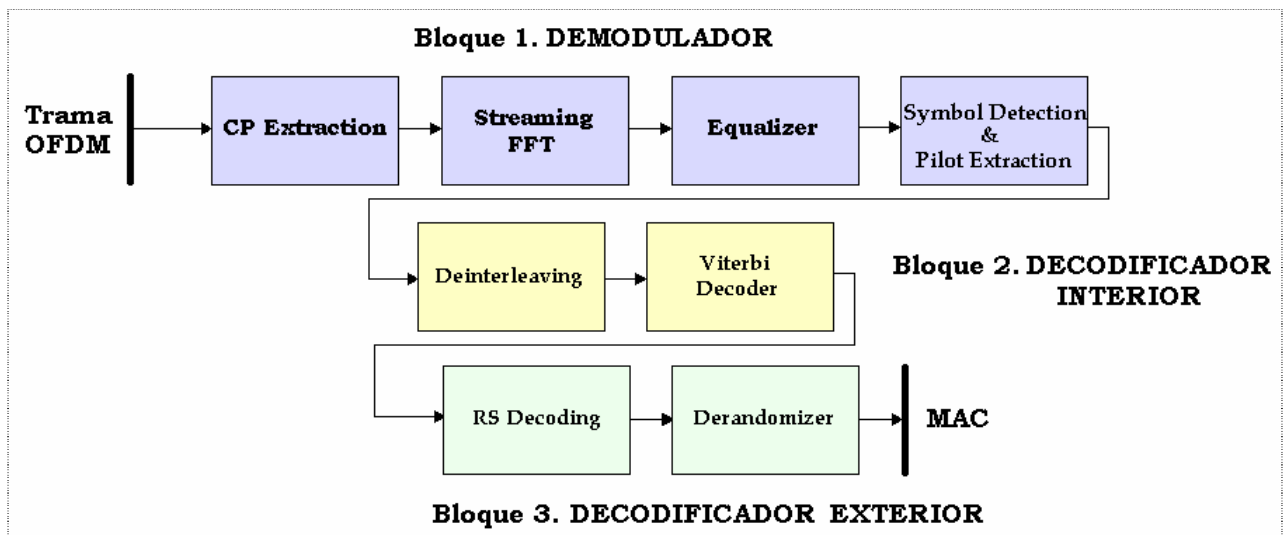


Figura 4. Diagrama de bloques del receptor.

El primero de los bloques del receptor recibe el nombre de *demodulador*, e implementa la función inversa al bloque *modulador* del transmisor. Es el encargado de transformar las ráfagas OFDM en el dominio del tiempo a la secuencia de bits que las componen, dando paso a la parte digital (*binaria*) del receptor. Para su funcionamiento se supone que el problema del sincronismo está resuelto, y que los parámetros del FCH han sido extraídos para su procesamiento. Se subdivide en:

- ✦ **CP Extraction:** A cada ráfaga OFDM se le extrae el prefijo cíclico, para procesar únicamente aquella parte de señal correspondiente al tiempo útil de símbolo.
- ✦ **Streaming FFT:** Realiza una FFT de 256 puntos, obteniendo a su salida el símbolo OFDM en el dominio de la frecuencia.
- ✦ **Equalizer:** Se realiza una igualación en el dominio de la frecuencia para compensar los efectos del canal, ya que cada portadora presenta una atenuación distinta debido a los efectos de propagación.
- ✦ **Symbol detection & pilot extraction:** El símbolo OFDM en el dominio de la frecuencia ataca un detector de símbolo, de manera que se hace corresponder cada portadora con un punto de la constelación. Además, se extraen los pilotos para su procesamiento externo.

El segundo de los bloques es el *decodificador interior*. Como se puede deducir, implementa la función inversa al *codificador interior*. Está compuesto por dos elementos:

- ✦ **Deinterleaving:** Realiza el desentrelazado de los bits recibidos, de manera que se invierte el proceso realizado en transmisión.
- ✦ **Viterbi Decoder:** Se encarga tanto del proceso de *depuncturing* como de la decodificación siguiendo el algoritmo de *Viterbi*.

El último bloque se denomina *decodificador exterior*. Es el encargado de deshacer el resto del procesamiento que recibieron los bits transmitidos, y comunicarlos a la capa MAC. Está formado por los siguientes subsistemas:

- ✦ **RS Decoding:** Realiza las funciones de *depuncturing*, *decodificación Reed Solomon* y *deshortening*, presentando a su salida bloques de datos de tamaño igual al tamaño de bloque establecido para el Reed Solomon. Se aprovecha el bloque de *deshortening* para eliminar el *tail byte* 0x00.
- ✦ **Derandomizer:** Deshace la aleatorización de los bits transmitidos, y los pasa a la capa MAC. En caso de haberse realizado *padding*, la capa MAC será capaz de eliminarlo con la información extraída del FCH.

1.3.4. Diseño.

La herramienta empleada para realizar el diseño ha sido *System Generator 3.1*, de *Xilinx*. Esta herramienta es un conjunto de bibliotecas en punto fijo para *Simulink*, que se mapean directamente en bloques hardware sobre la FPGA. De este modo se asegura una implementación hardware 100% fiable, siempre y cuando se utilicen únicamente elementos de la biblioteca de *Xilinx*. El flujo de diseño con *System Generator* se muestra en la *figura 5*.

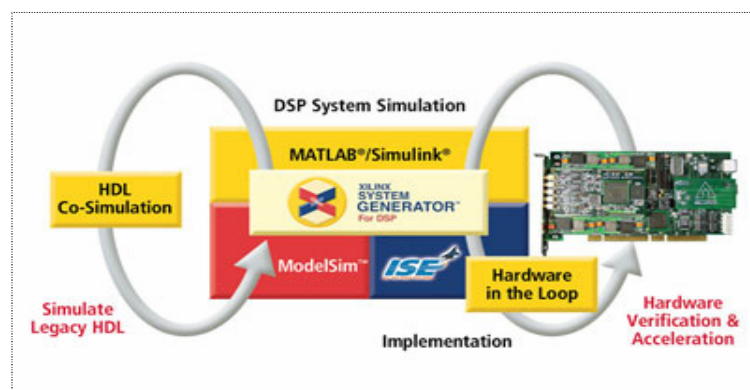


Figura 5. El flujo de diseño con System Generator.

La biblioteca de elementos que proporciona *Xilinx* es bastante reducida, ya que consta únicamente de registros memorias, lógica de control y selección, operaciones aritmético-lógicas básicas, y algunos *Cores* típicos de comunicaciones como la FFT. Además, proporciona algunos bloques FEC, como interleaver, codificador y decodificador Reed Solomon, decodificador de Viterbi, etc. Sin embargo, *estos últimos bloques son válidos únicamente para simulación*, de manera que si se quiere mapear esta parte del diseño a hardware, deben adquirirse o bien desarrollarse (*pues se permite integrar elementos diseñados en VHDL o Verilog en el entorno Simulink*).

En este PFC, además de realizar el modelado a nivel de bloque de la capa PHY de *IEEE 802.16a*, se han desarrollado la práctica totalidad de los bloques FEC especificados en el estándar, destacando por su complejidad el *codificador* y el *decodificador Reed Solomon RS(255,239)*, diseñados en VHDL.

1.4. CONCLUSIONES.

La conclusión principal no puede ser otra que indicar que el objetivo principal del PFC se considera cubierto: La realización de un modelo de la capa física del estándar *IEEE 802.16a*, orientado a una implementación hardware en FPGA. Más concretamente, se consideran superados todos los objetivos iniciales que se marcaron, así como otra serie de objetivos adicionales, que completan este PFC:

- ✚ Se ha realizado un estudio profundo de la norma *IEEE 802.16a*, para discernir qué aspectos de la misma se incluirían en el modelo desarrollado.
- ✚ Se ha realizado el diseño de un transmisor y un receptor para la norma *IEEE 802.16a*, en los que se recogen los aspectos fundamentales de la misma, empleando únicamente funciones en punto fijo de la biblioteca de *Xilinx*, con lo que se consigue un diseño implementable en FPGA.
- ✚ Se han diseñado todos los elementos del transmisor y del receptor indicados en las figuras anteriores, destacando por su complejidad los bloques FEC, a partir de elementos básicos en punto fijo de la biblioteca de *Xilinx*. Algunos ejemplos: *Interleaver* y *deinterleaver*, *codificador convolucional punctured*, *estructuras de shortening* y *puncturing* para el decodificador de Viterbi, *elementos de entramado* y *generación de la señal OFDM...*
- ✚ Se han diseñado un codificador y un decodificador Reed Solomon RS(255,239) en VHDL, y se ha integrado en *System Generator*.
- ✚ Se ha realizado un estudio de la teoría de campos finitos de Galois, para obtener la formación teórica necesaria para la implementación de los elementos *Reed Solomon*.
- ✚ Se ha desarrollado un plan de pruebas muy completo, que ha permitido verificar tanto el funcionamiento parcial de cada uno de los subsistemas diseñados como el funcionamiento global del conjunto *transmisor-receptor*. Se ha realizado un plan de pruebas particular para los elementos RS, de cara a demostrar su correcto funcionamiento.
- ✚ Se ha realizado una evaluación de las prestaciones del sistema, en lo que a retardo y consumo de área se refiere, de cara a su implementación real en FPGA.

Además, el diseño realizado ofrece unas muy buenas prestaciones en cuanto a retardo de procesado y ocupación de área en la FPGA, por lo que está preparado para su utilización en un sistema real.

2. ORIGINALIDAD

2.1. INTRODUCCIÓN.

La originalidad de este PFC se basa en 3 puntos fundamentales: En primer lugar, es un *proyecto sobre una tecnología nueva*, por lo que es una aportación novedosa al panorama actual de las comunicaciones inalámbricas., y más si se tiene en cuenta el notable éxito que se pronostica a *Wi-MAX*. Por otra parte, es una *tecnología basada en OFDM*, que es hoy día una de las modulaciones más interesantes que existen de cara a una realización práctica. En último lugar, se ha obtenido un *diseño implementable en FPGA*, solución adoptada por las principales empresas de equipos para telecomunicaciones para desarrollar sistemas de procesado digital de altas prestaciones.

2.2. Wi-MAX.

2.2.1. Estado actual de la tecnología.

Wi-MAX es la tecnología de moda en el ámbito actual de las comunicaciones móviles e inalámbricas. Cada vez parece más claro que va a ser la solución elegida en un futuro inmediato para el acceso de banda ancha, tanto por empresas como particulares. Además, se considera como un primer paso para la ansiada convergencia *fijo-móvil*, que culminará con la no tan lejana cuarta generación de telefonía móvil.

En el caso particular de Málaga, *Wi-MAX* se presenta como una tecnología especialmente atractiva, en la que trabajan numerosas empresas del *Parque Tecnológico de Andalucía*. Destaca el caso de *CETECOM España S.A.*, miembro del *Wi-MAX Forum* y laboratorio elegido para llevar a cabo el proceso de certificación de los productos desarrollados para esta tecnología.

2.2.2. ¿Por qué Wi-MAX sí?

Existen muchas razones que permiten asegurar que *Wi-MAX* está destinado a triunfar allí donde otras tecnologías WMAN han fracasado. Entre ellas, se encuentran las siguientes:

- ✚ **Ancho de banda:** Los equipos 802.16 pueden alcanzar una velocidad de hasta 75 Mbps. Esto permite a *Wi-MAX* estar en condiciones de competir con otras tecnologías existentes, como las redes 3G, las WLAN, o las soluciones cableadas tipo DSL.
- ✚ **Prestaciones:** A diferencia de otras tecnologías inalámbricas de banda ancha, *Wi-MAX* no requiere de visión directa entre la estación base (*BS - Base Station*) y los equipos de usuario (*SS - Subscriber Station*). Esto hace que el abanico de posibles clientes sea bastante mayor.
- ✚ **Cobertura:** Las BS del estándar tendrán rangos de cobertura² de entre 3 y 7 km, dependiendo del entorno en el que se ubique la red. Cuanto mayor sea el radio de cobertura, menores serán los costes para el operador de red (*pues el número de BS es menor*)
- ✚ **Espectro:** *Wi-MAX* puede ser utilizado tanto en bandas con licencia como sin licencia, en el rango de 2 a 11 GHz. Esta flexibilidad es importante, ya que amplía las opciones de despliegue de la tecnología, y por tanto, su mercado potencial.
- ✚ **Apoyo de la industria:** Más de 200 fabricantes y proveedores de servicio integran el *Wi-MAX Forum*, entre ellos nombres muy importantes como Intel, Nokia, Ericsson... Este apoyo tan amplio sugiere que el estándar está destinado al éxito, cuanto menos comercial.
- ✚ **Interoperabilidad:** La razón principal por la que se constituyó el *Wi-MAX Forum* fue la de coordinar el proceso de prueba y certificación de los productos *Wi-MAX* para asegurar la interoperabilidad entre equipos construidos por diferentes fabricantes. A diferencia de otras tecnologías anteriores, *Wi-MAX* no es una solución propietaria, lo que permite utilizar componentes de distintos fabricantes. Esto posibilita que los precios se reduzcan, facilitando así el despliegue de la tecnología.

² Resaltar que estos valores son más próximos a los sistemas celulares de telefonía móvil que a los de *Wi-fi*.

2.3. OFDM.

OFDM es una técnica de modulación multiportadora, que permite solucionar los problemas debidos a la propagación multicamino. La idea es la siguiente: en lugar de transmitir la información en una única portadora, se divide el ancho de banda disponible en un conjunto de portadoras, cada una de las cuales transporta un ancho de banda muy pequeño (ver figura 6).

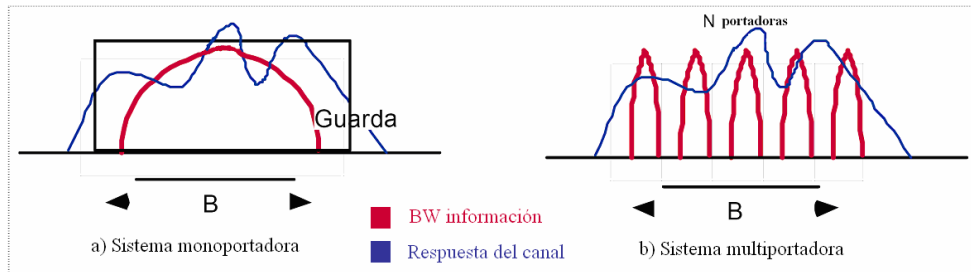


Figura 6. Sistema monoportadora vs. multiportadora.

Si el número de subportadoras es elevado, se consigue que la respuesta del canal sea aproximadamente plana para cada una de las portadoras. Esto facilita la igualación en recepción, ya que los complicados algoritmos de eculización adaptativa de elevado orden se transforman en simples estimaciones de constantes. Si además se consigue que estas portadoras sean ortogonales, se produce un mejor aprovechamiento del ancho de banda, pues se evita la introducción de bandas de guarda entre subportadoras. De este modo se mejora la eficiencia espectral en esta modulación.

Para solventar el efecto del *delay spread*, es necesario dejar un cierto tiempo de guarda mayor que el valor del *delay spread*, entre un símbolo OFDM y el siguiente, con el fin de minimizar los efectos de la interferencia entre símbolos. Sin embargo, si durante ese tiempo de guarda no se transmite, se está perdiendo en parte la ortogonalidad entre los tonos, produciéndose interferencia entre portadoras. Una alternativa mejor es la inserción de un *prefijo cíclico* en el tiempo de guarda; en lugar de dejar vacío ese espacio de tiempo, se transmite una copia de la última parte del símbolo OFDM. De este modo, se conservan las propiedades originales de ortogonalidad.

La razón principal por la que la modulación OFDM ha tardado tanto tiempo en adquirir la importancia que hoy día posee ha sido eminentemente práctica. La señal OFDM, para un número de subportadoras suficientemente grande, es bastante difícil de generar y demodular, pues precisa de un banco de generadores de frecuencia de elevada precisión tanto en transmisión como en recepción.

La posibilidad de definir la señal en el dominio de la frecuencia, mediante simulación software o en FPGA, así como la eficiente implementación de algoritmos de transformación como la FFT han sido claves en su creciente popularidad. Por todo esto, los sistemas basados en OFDM son particularmente interesantes hoy día en el campo de las comunicaciones móviles e inalámbricas avanzadas.

2.4. DISEÑO ORIENTADO A HARDWARE.

2.4.1. Modelado de sistemas reales.

A la hora de abordar un diseño en ingeniería, es necesario seguir una serie de pasos antes de llegar a la construcción o realización del sistema final. Una estrategia habitual es la del desarrollo de maquetas software, que simulen el comportamiento del sistema, permitiendo una depuración y verificación del diseño más sencilla y económica.

Wi-MAX, como tecnología emergente que es, debe también seguir esta serie de pasos, precisando del desarrollo de simuladores que ayuden a evaluar sus prestaciones y a optimizar su funcionamiento.

Una estrategia de diseño común es utilizar entornos de alto nivel, como Matlab, Simulink etc. Esta filosofía ofrece una gran potencia y versatilidad, pero su comportamiento suele estar bastante alejado de la implementación real del sistema. La otra alternativa es realizar un diseño de bajo nivel; de este modo se obtiene una realización hardware fiable, pero a cambio de un proceso de diseño mucho más complejo y menos versátil.

A medio camino entre ambas alternativas (*aunque más próxima al bajo nivel*) se encuentra *System Generator*; como trabaja en entorno *Simulink*, permite mantener una visión a nivel de bloques del sistema. A la vez, y por el hecho de emplear únicamente los bloques que proporciona, se obtiene una implementación hardware fiable. El principal problema es el reducido número de bloques disponibles para el diseño, aunque se permite la opción de diseñar elementos en VHDL e integrarlos en *System Generator*, creando bibliotecas propias que amplían el número de componentes disponibles.

2.4.2. Diseño en FPGA para Wi-MAX.

En los últimos años, las FPGA están siendo cada vez más la alternativa elegida a la hora de implementar sistemas de comunicaciones de altas prestaciones. Las ventajas que ofrece esta elección, desde el punto de vista de *Wi-MAX*, son diversas:

- ✚ **Velocidad de procesado:** Los sistemas de banda ancha como *Wi-MAX* poseen unos requerimientos en cuanto a *throughput* y velocidad de procesado incluso superiores a los de los sistemas de tercera generación. Para poder satisfacer estos requerimientos, se necesita que la plataforma hardware sobre la que se asienten estos sistemas tenga una elevada capacidad de procesamiento, condición que las FPGA cumplen con creces.
- ✚ **Flexibilidad:** *Wi-MAX* es una tecnología incipiente, que se encuentra en la fase inicial del proceso de desarrollo. El estándar *IEEE 802.16-2004* es una realidad, y la versión móvil *802.16e* está aún por llegar. En este escenario, la flexibilidad en cuanto a reprogramación del producto final conforme al estándar es muy importante. Las FPGA ofrecen esta posibilidad, fundamental en un campo en constante evolución.
- ✚ **Mercado:** El hecho de que *Wi-MAX* sea una tecnología emergente, hace que el tiempo en que los productos llegan al mercado sea un factor clave en el éxito de las empresas. Esto tiene un efecto directo en el ciclo de desarrollo del producto así como en la elección de la plataforma hardware, ya que se busca acelerar al máximo el diseño del sistema. Las herramientas de desarrollo para FPGA, junto con la disponibilidad de *Cores* ya diseñados y optimizados, hacen que el tiempo de desarrollo se reduzca.

2.4.3. Las FPGAs en el marco actual de las comunicaciones móviles e inalámbricas.

En los últimos años, las FPGA han llegado a ser claves en la implementación de sistemas de procesado digital de señal de altas prestaciones, especialmente en áreas como las comunicaciones digitales, las redes, etc. Su capacidad para implementar arquitecturas altamente paralelas hace de las FPGA la opción ideal para tareas como filtrado digital, FFT y FEC.

Sin embargo, existe poca familiaridad con el diseño hardware en general, y con las FPGA en particular. Los ingenieros acostumbrados a desarrollar sistemas empleando DSP, suelen ser expertos programadores en C o en lenguaje ensamblador, pero carecen de experiencia en el campo del diseño digital empleando lenguajes de descripción hardware como *VHDL* o *Verilog*.

En este sentido, parece fundamental ir avanzando en la dirección del diseño hardware, adquiriendo experiencia en el desarrollo de sistemas de comunicaciones reales basados en FPGA. Por ello, se estableció como objetivo principal de este proyecto el realizar un diseño orientado a implementación en FPGA.

3. RESULTADOS

3.1. PLAN DE VERIFICACIÓN.

3.1.1. Verificación del sistema.

En el estándar se definen diversas opciones de codificación, cada una de las cuales proporciona diferentes capacidades correctoras, utilizando diferentes tipos de modulación. Estas opciones (*ver tabla 1*) se codifican mediante el parámetro *RateID*, presente en el campo *FCH* de la trama *DL-PHY*.

<i>Rate_ID</i>	<i>K' Reed Solomon</i>	<i>N' Reed Solomon</i>	<i>Bytes a la salida del codificador convolucional</i>	<i>Bits a la salida del Interleaver</i>	<i>Modulación</i>
0	24	32	48	384	QPSK
1	36	40	48	384	QPSK
2	48	64	96	768	16-QAM
3	72	80	96	768	16-QAM
4	96	108	144	1152	64-QAM
5	108	120	144	1152	64-QAM

Tabla 1. Opciones de codificación del estándar IEEE 802.16a.

La modulación *64-QAM* es opcional, por lo que no se ha implementado. Por tanto, los casos de prueba se reducen a los 4 primeros valores de *RateID*. Además, es necesario demostrar la correcta construcción de la trama *DL-PHY*, por lo que se debe comprobar que el *FCH* se codifica correctamente, y que el preámbulo es también correcto.

Se ha decidido que el *plan de verificación del sistema* se estructure de la siguiente manera: En primer lugar, se muestra el funcionamiento individual de cada uno de los bloques por separado (*pruebas parciales*). Esto se realiza conectando a la salida de cada uno de los bloques del transmisor el que realiza la función inversa en el receptor. Si los datos a la salida del conjunto transmisor-receptor coinciden con los de entrada, el sistema funciona de manera adecuada. Un ejemplo, para el par *codificador convolucional-Viterbi*, puede verse en la *figura 7*.

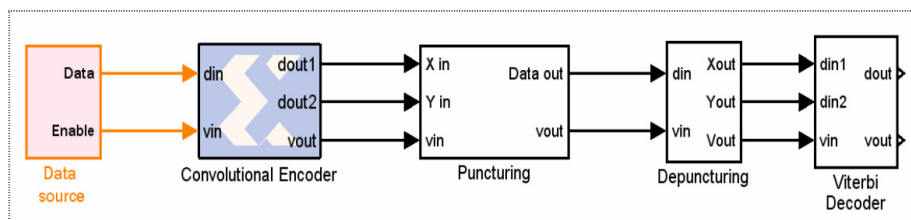


Figura 7. Pruebas parciales del codificador convolucional.

Tras demostrar el funcionamiento individual de los subsistemas, se realiza una prueba completa del sistema (*ver figura 8*). Para ello se sigue el ejemplo de codificación definido en el estándar, que muestra la evolución de una ráfaga de datos procedente de la capa *MAC* a lo largo de cada una de las etapas del transmisor.

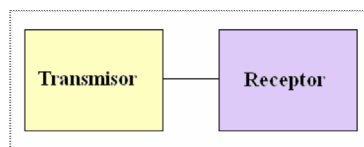


Figura 8. Pruebas globales.

3.1.2. Verificación de los elementos RS.

El diseño de los elementos *Codificador y Decodificador Reed Solomon* es una de las partes más importantes del proyecto, tanto en tiempo invertido como en dificultad. En la biblioteca de *Xilinx* existen bloques que implementan esta funcionalidad, pero son válidos sólo para simulación. Esto ocurre con otros de los bloques *FEC* como el entrelazador, el desentrelazador y el decodificador de *Viterbi*. Sin embargo, diseñar un codificador (*y aún más, un decodificador*) Reed Solomon a partir de elementos individuales de la biblioteca de *Xilinx* es muy complicado, por lo que se optó por realizar dicho diseño en *VHDL*, e integrarlo en el entorno *Simulink*.

La verificación del codificador *Reed Solomon* se ha llevado a cabo mediante la comparación con el elemento homónimo de la biblioteca de *Xilinx*, válido sólo para simulación. Esta misma estrategia se ha seguido para la verificación del decodificador (figura 9).

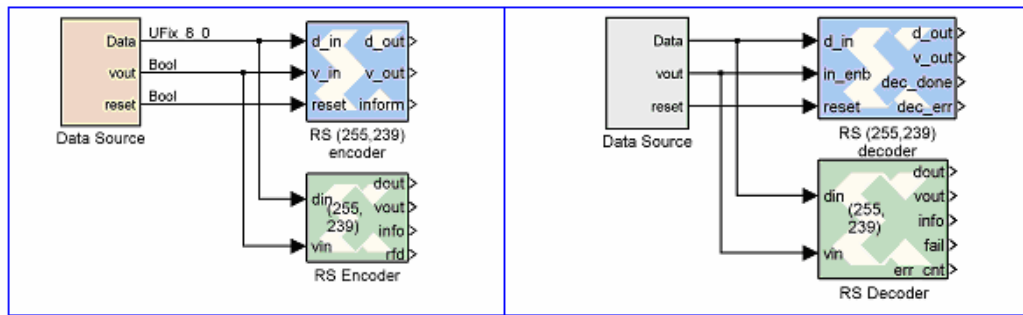


Figura 9. Verificación de los elementos RS.

Además, se ha verificado que el decodificador *Reed Solomon* cumple con las especificaciones de diseño, para lo que se ha comprobado su capacidad correctora y detectora.

3.2. PRESTACIONES DEL DISEÑO.

3.2.1. Evaluación en cuanto a área.

En la *tabla 2* se muestran los recursos empleados por los subsistemas que integran el transmisor:

Elementos	Codificador Exterior	Codificador Interior	Modulador
Slices	529	312	2115
Flip-flops	328	513	3018
LUT	446	509	3326
BRAM	1	5	11
Mults	-	-	12

Tabla 2. Evaluación del área consumida en el transmisor.

Se puede ver cómo el bloque que más recursos utiliza es el *Modulador*, lo que es totalmente lógico si se tiene en cuenta que en él se incluye el bloque *FFT*. De aquí, la importancia de que transmisor y receptor compartan este elemento, si se quiere una implementación eficiente en cuanto a área.

En la *tabla 3* se muestran los recursos empleados por los subsistemas que integran el receptor:

Elementos	Decodificador Exterior	Decodificador Interior	Demodulador
Slices	2178	908	2002
Flip-flops	3288	614	2977
LUT	3272	574	3265
BRAM	6	14	2
Mults	-	-	15

Tabla 3. Evaluación del área consumida en el receptor.

El bloque *decodificador interior* es más complejo que su homólogo en transmisión, ya que el decodificador de Viterbi es más costoso que el codificador convolucional en términos de área. Además, el área ocupada por el *decodificador Reed Solomon* es un factor muy importante, ya que el hecho de que deba soportar *Eraseure Decoding* hace que el área consumida por el mismo se multiplique por un factor de 3.

De cara a evaluar su implementación en una FPGA real se han escogido dos posibles opciones, ambas de la familia *Virtex-II*. En la *tabla 4* se muestra el área total consumida por el diseño, comparándola con los recursos disponibles en las FPGAs elegidas.

En la FPGA *xc2v1000*, puede integrarse bien el transmisor, bien el receptor, pero no ambos. Para conseguir la integración total del sistema en una única FPGA, es necesario recurrir a una de mayor tamaño, como la *xc2v3000*.

Elementos	Transmisor	Receptor	Virtex-II xc2v1000	Virtex-II xc2v3000
Slices	2956	5088	5120	14336
Flip-flops	3859	6879	10240	28672
LUT	4281	7111	10240	28672
BRAM	17	22	40	96
Mults	12	15	40	96

Tabla 4. Área ocupada por el diseño vs. recursos en la FPGA.

3.2.2. Evaluación en cuanto a retardo.

Se define como *retardo de procesado en el transmisor* T_{TX} al tiempo que transcurre desde que se recibe un bloque de datos de la capa MAC hasta que se calcula el símbolo OFDM en el dominio del tiempo. Análogamente, se define como *retardo de procesado en el receptor* T_{RX} al tiempo que transcurre desde que se recibe un símbolo OFDM hasta que se obtiene el bloque de datos MAC a la salida del *Randomizer*.

En la *tabla 5* se muestra el valor de cada uno de los anteriores parámetros, para un reloj en la FPGA de 100 MHz. Estos resultados se consideran satisfactorios, para el sistema diseñado.

FPGA CLK	T_{TX}	T_{RX}
10 ns	578 μ s	879 μ s

Tabla 5. Evaluación del retardo.

3.2.3. Optimización de área y retardo.

En este punto se exponen algunas recomendaciones para la mejora de los parámetros *área consumida* y *retardo de procesado*. Dado que el sistema diseñado es multitasa, existen etapas que no siempre funcionarán a la frecuencia del reloj de la FPGA, sino a una frecuencia inferior. Este es el caso, por ejemplo, de la codificación de canal. Según el estudio realizado en el PFC, es posible reducir considerablemente el retardo de procesado, haciendo funcionar estas etapas a una mayor velocidad; sin embargo, para ello es necesario introducir *buffers* entre las etapas intermedias, por lo que si bien se mejora el comportamiento en cuanto a retardo, se empeora en cuanto a área.

En lo que a área ocupada se refiere, la principal recomendación es que transmisor y receptor compartan el bloque FFT. Esto es posible ya que el *Core* utilizado puede realizar tanto la transformada directa como la inversa, por lo que sólo habría que diseñar cierta lógica de control adicional. Con esto, se consigue un ahorro de unas **2000 slices**.

3.3. TRAMA DE NIVEL FÍSICO.

En la *figura 10* se muestra la trama de nivel físico obtenida en una de las simulaciones globales del sistema. En ella se pueden apreciar los campos descritos en el estándar, tales como *long preamble*, *FCH*, *DL-Bursts*, etc.

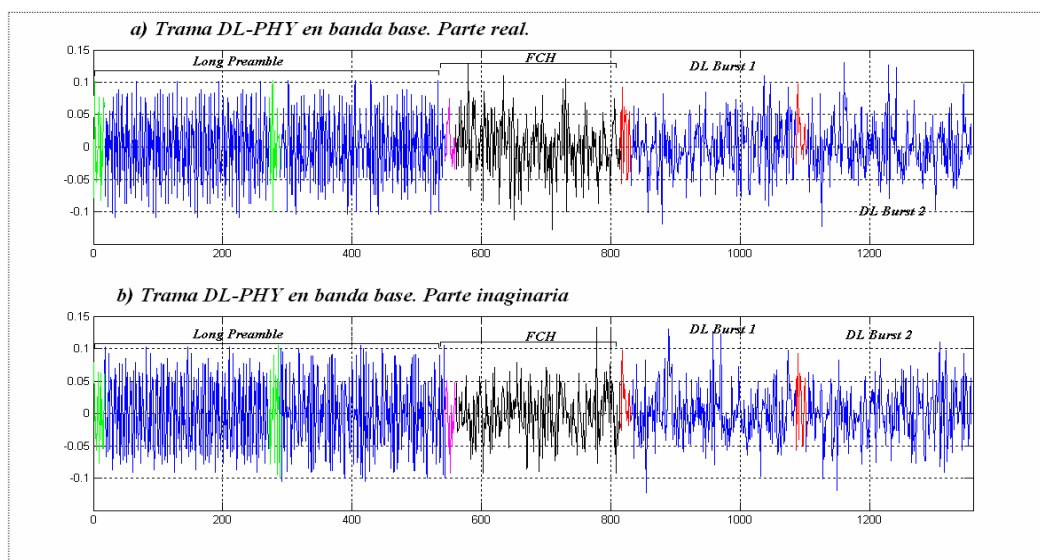


Figura 10. Trama de nivel físico, para un prefijo cíclico = 16.

4. APLICABILIDAD

4.1. A NIVEL DE DISEÑO.

4.1.1. Escalabilidad.

Aunque el diseño se ha llevado a cabo empleando los bloques especiales para implementación en FPGA que proporciona *Xilinx*, el entorno de trabajo ha sido *Simulink*. Por tanto, es posible ampliar el diseño para añadir nuevas funcionalidades (*múltiples usuarios, procesado analógico, capa MAC...*) utilizando bloques clásicos de *Simulink*.

De este modo se puede aprovechar toda la potencia y versatilidad que ofrece Matlab, posibilitando la opción de realizar simulaciones mucho más complejas, en las que se realizan únicamente con bloques especiales de *Xilinx* aquellas partes de las que se desea obtener una realización hardware.

4.1.2. Reusabilidad.

La modularidad que aporta el entorno *Simulink* permite la realización de un diseño jerárquico. Esto es especialmente interesante en el diseño realizado, ya que permite generar la realización hardware de elementos concretos del sistema.

Así, se facilita la reutilización en nuevos diseños de aquellos bloques que son habituales en sistemas de comunicaciones, como por ejemplo los que intervienen en el proceso de codificación de canal. Además, se ofrece la posibilidad de crear bibliotecas de componentes, que se pueden usar tanto en entorno *Simulink*, como en un entorno de desarrollo HDL como *Xilinx ISE*.

4.1.3. IP Cores.

La herramienta *System Generator* ofrece un número de bloques bastante reducido en comparación con la cantidad disponible en *Simulink*. Además, los bloques FEC están disponibles sólo para simulación, por lo que si se desea utilizarlos en un diseño hardware real, estos IP Cores deben ser adquiridos aparte.

En este PFC se han obtenido realizaciones hardware de la práctica totalidad de estos elementos, destacando el par *codificador-decodificador Reed Solomon*. De este modo, se dispone de IP Cores *proprios*, lo que abarata costes y facilita futuros desarrollos.

4.2. APLICACIONES.

Este PFC se ha desarrollado en el marco del proyecto de investigación *Wi-Mo (Wireless Mobility)*. El objetivo de dicho proyecto de investigación es el desarrollo de simuladores y emuladores para tecnologías inalámbricas de última generación, desde *Wi-MAX* y *UWB (Ultra Wide Band)* hasta la cuarta generación de telefonía móvil.

Una de las líneas de trabajo en *Wi-Mo* es la *realización de un modelo real para la capa física del estándar IEEE 802.16-2004*, en su versión *Wireless MAN-OFDM*. Para ello, se ha partido del trabajo desarrollado en este PFC, con el objeto de obtener un conjunto transmisor-receptor que funcione sobre una FPGA *Virtex-II xc2v3000*, integrada en una placa *HEPC9* de *Hunt Engineering*. En la actualidad, se trabaja en la implementación de algoritmos de sincronismo eficientes en área.

Este proyecto se ha desarrollado conjuntamente por el *departamento de Ingeniería de Comunicaciones* y la empresa *CETECOM España S.A.* (*figura 11*), y está parcialmente subvencionado por el programa PROFIT y el Plan Andaluz de Investigación.



Figura 11. Departamento de Ingeniería de Comunicaciones y CETECOM.

En el grupo de trabajo del proyecto *Wi-Mo* trabajan 5 ingenieros contratados a tiempo completo, junto con un amplio número de profesores del departamento de *Ingeniería de Comunicaciones* de la *ETSIT de Málaga*, y personal de *CETECOM*.

CETECOM España S.A. es miembro del *Wi-MAX Forum*, y ha sido el primer laboratorio escogido para llevar a cabo el proceso de certificación mundial de los equipos *Wi-MAX*. Por tanto, se puede afirmar que es una de las empresas punteras a nivel mundial en esta tecnología.

Todo el trabajo desarrollado por el grupo de investigación es asimilado por *CETECOM*. De este modo se consigue que el conocimiento generado en el ámbito de la Universidad sea transformado en una aplicación comercial para la empresa, haciendo verdad la máxima que Felipe Romera (*presidente del Parque Tecnológico de Andalucía*) tanto emplea, que afirma que *“la tecnología es la transformación del conocimiento útil en riqueza”*.

4.3. COMPARACIÓN CON OTRAS ALTERNATIVAS EN EL MERCADO.

4.3.1. [Xilinx](#).

En la *figura 12* se muestra el esquema de la capa PHY de *Wi-MAX* desarrollado por *Xilinx*. En él se pueden identificar bloques prácticamente idénticos a los desarrollados en este PFC (*exceptuando el bloque de sincronismo*).

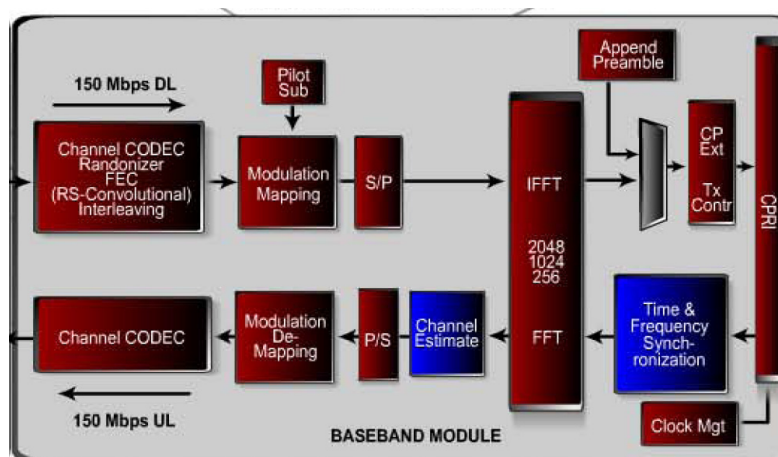


Figura 12. Solución de Xilinx para la capa física de *Wi-MAX*.

Una de las preguntas a las que hay que responder a la hora de realizar cualquier diseño en ingeniería es la de *¿comprar o desarrollar?* La respuesta no es objetiva, pero en este caso es posible realizar una reflexión *a posteriori*. Un ejemplo que nos permite valorar cuál puede ser una opción adecuada es el siguiente: El coste del IP Core para *FEC* desarrollado por *Xilinx* para *Wi-MAX* es de 20000 \$, lo que equivale a unos 7 meses del trabajo desarrollado en el PFC.

4.3.2. [PicoChip](#).

PicoChip es otra de las empresas punteras en el desarrollo de la capa física de *Wi-MAX*. Esta compañía ha optado por una alternativa totalmente diferente, alejada de las FPGAs. Su diseño se basa en un elemento denominado *picoArray*, que es fundamentalmente un *array de más de 300 procesadores RISC integrados*, de manera que la solución que aportan para la capa PHY de *Wi-MAX* es software, que corre sobre este elemento.

Sin embargo, de momento esta solución no se encuentra en el mercado, sino que se ofrece más como un ejemplo de las posibilidades que ofrece esta nueva plataforma. Además, presenta el inconveniente del aprendizaje de un entorno de desarrollo nuevo y de una filosofía de diseño diferente.

5. REFERENCIAS Y BIBLIOGRAFÍA

- [1] **802.16a™ IEEE Standard for Local and metropolitan area networks.** Part 16: *Air Interface for Fixed Broadband Wireless Access Systems – Amendment 2: Medium Access Control Modifications and Additional Physical Layer Specifications for 2–11 GHz.*
- [2] **Xilinx System Generator for DSP version 3.1. User Guide.** Xilinx Blockset Reference Guide.
- [3] **ETSI TS 102 177 V1.1.1 (2003-11)** Technical Specification: *Broadband Access Networks (BRAN); HIPERMAN; Physical layer.*
- [4] **Sylvester, Joel.** *Reed Solomon Codes.* Elektrobit Inc. White Paper. 2001.
- [5] **Stiefmeier, Thomas.** *Design of a dynamically reconfigurable processor for the Data Link Layer in wireless networks.* Thesis in Electrical Engineering, Darmstadt University of Technology. 2003.
- [6] **Rystedt, Stefan.** *Power Consumption of Reed Solomon Decoder algorithms.* Lulea Tekniska Universitet. 2002.
- [7] **Schuler, Christian.** *RS decoder code generation tool.* GMD-Fokus. Research Institute for Open Communication Systems, Berlin. 1998.
- [8] **Lee, Hanho.** *An area efficient Euclidean algorithm block for RS Decoder.* Department of Electrical & Computer Engineering, University of Connecticut. 2003.
- [9] **802.16™ IEEE Standard for Local and metropolitan area networks.** Part 16: *Air Interface for Fixed Broadband Wireless Access Systems.* **IEEE Std 802.16-2004, revision of IEEE 802.16-2001.**
- [10] *Wi-MAX Reality Check.* Heavy Reading vol. 2. n. 23. Octubre 2004.
- [11] *IEEE 802.16 and Wi-Max. Broadband Access for Everyone.* Intel white paper. 2003.
- [12] **Finneran, Michael.** *Wi-MAX vs Wi-Fi: A comparison of technologies, markets & business plans.* dBrn Associates. 2004.
- [13] **Gonzalo, Laura.** *Wi-MAX 802.16. Soluciones R/S para aplicaciones de banda ancha.* Rohde & Schwarz White Paper. 2005.
- [14] *Accelerating Wi-MAX system design with FPGAs.* Altera Corporation White Paper. 2004.